НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»

КАФЕДРА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

Лабораторна робота №2-3

з дисципліни **«**Архітектура комп’ютерів – 2**»**

Виконав:

студент 3 курсу

ФІОТ гр. ІО-21

Кузьменко Володимир

Київ – 2015 р.

Операційна схема для виконання операції множення першим способом наведена на рис. 5.1. Пристрій складається з трьох регістрів, лічильника і суматора. Перед виконанням операції множення операнди записують в RG2 і RG3.

Змістовний алгоритм множення першим способом наведений на рис. 5.2.

Алгоритм множення заключається в наступному:

1. Проводимо ініціалізацію. Заносимо в регістри операнди і розрядність операндів в лічильник.
2. Аналізуємо молодший біт регістру RG2(0). Якщо біт рівний 1, то виконуємо сумування вмісту регістрів RG1 і RG3 результат занісши в RG1. Якщо молодший біт рівний 0, то просто виконуємо зсув праворуч пари регістрів RG1, RG2 і декремент лічильника.
3. Аналізуємо вміст лічильника. Якщо вміст лічильника рівний 0, то закінчуємо програму. В іншому випадку повертаємося до кроку 2.

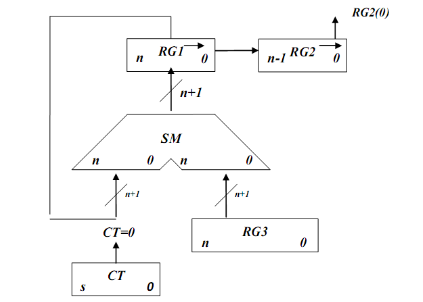


Рис. 5.1. Функціональна схема пристрою множення першим способом



Рис. 4.2. Змістовний мікроалгоритм



Рис. 5.3. Закодований мікроалгоритм

Розміщення команд в ПМК відображено на рис. 5.4.

Проведемо кодування мікрооперацій керування операційною схемою. Результат кодування наведено в таблиці 5.1.

Кодування умовних сигналів наведено в табл. 5.2.

Схема вихідних сигналів мультиплексора відображена в табл. 5.3.



Рис. 5.4. Розміщення команд в ПМК.

Табл. 5.1. Кодування мікрооперацій

|  |  |
| --- | --- |
| Мікрооперації | Управляючі сигнали |
| CLR | y1 |
| W1 | y2 |
| W2 | y3 |
| W3 | y4 |
| SHR | y5 |
| dec | y6 |
| W4 | y7 |

Табл. 5.2. Кодування сигналів

|  |  |
| --- | --- |
| Логічні умови | Позначення |
| RG1[n] | X1 |
| CT | X2 |

Табл. 5.1. Схема вихідних сигналів мультиплексора

|  |  |
| --- | --- |
| m1m2 | УС |
| 00 | 0 |
| 01 | X1 |
| 10 | X2 |
| 11 | 1 |

БМУ функціонує у відповідності з принципом мікропрограмного управління, що полягає в наступному.

Спрощена структурна схема БМУ наведена на рис. 5.5.

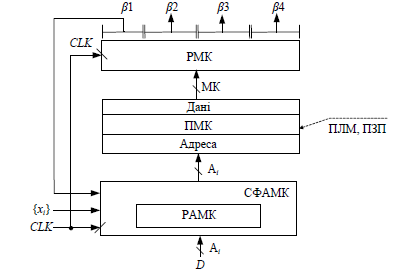


Рис. 5.5. Спрощена структурна схема БМУ

Основні функціональні частини БМУ:

РАМК – регістр адреси МК;

СФАМК – схема формування адреси МК;

ПМК – пам'ять МК;

РМК – регістр МК;

Аі–адреса МК;

CLK– синхросигнал;

{xi}–логічні умови;

D–вхід завдання початкової адреси мікропрограми.

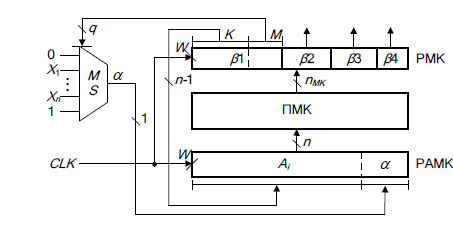


Рис. 5.6. Спрощена структурна схема БМУ з примусовою адресацію

Виходячи з кількості логічних умов (2) та константи (5) визначимо:

Розрядність адреси ПМК:

Формат зони β2

При горизонтальному кодуванні управляючих сигналів довжина зони дорівнює кількості управляючих сигналів:

Формат зони β3

Тривалість мікрооперації зберігатиметься у зоні β3 в прямому коді без

знакового розряду. Виходячи із максимальної тривалості мікрооперації

-710=01012 отримаємо довжину зони β3

Формат зони β4

Для перевірки на непарність у зоні β4 необхідно виділити 1 розряд..

Таблиця 5.3 – Карта програмування БМУ

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Адреса | β1 | | β2 | | | | | | | β3 | β4 |
| S | М | y1 | y2 | y3 | y4 | y5 | y6 | y7 |
| 1000 | 111 | 00 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 000 | 1 |
| 1110 | 101 | 11 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 000 | 0 |
| 1011 | 110 | 01 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 000 | 1 |
| 1101 | 110 | 00 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 101 | 1 |
| 1100 | 111 | 10 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 000 | 0 |
| 1111 | 000 | 00 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 000 | 1 |

схема БМУ для керування АЛП.

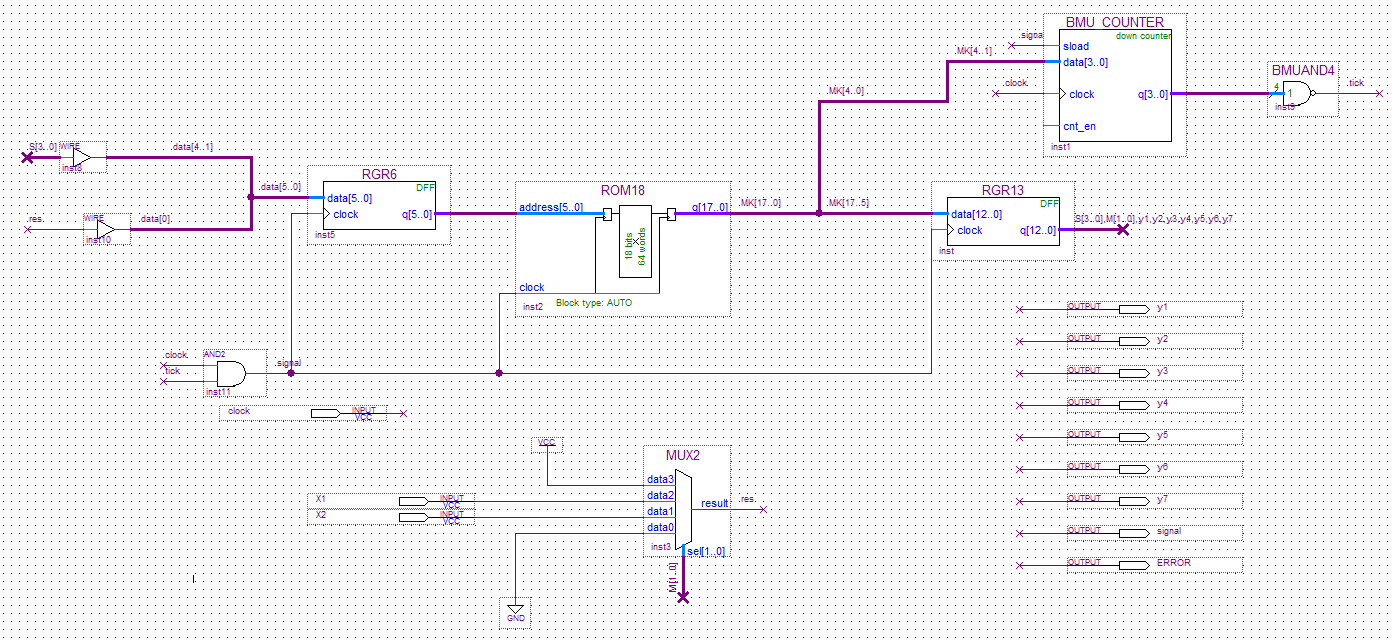
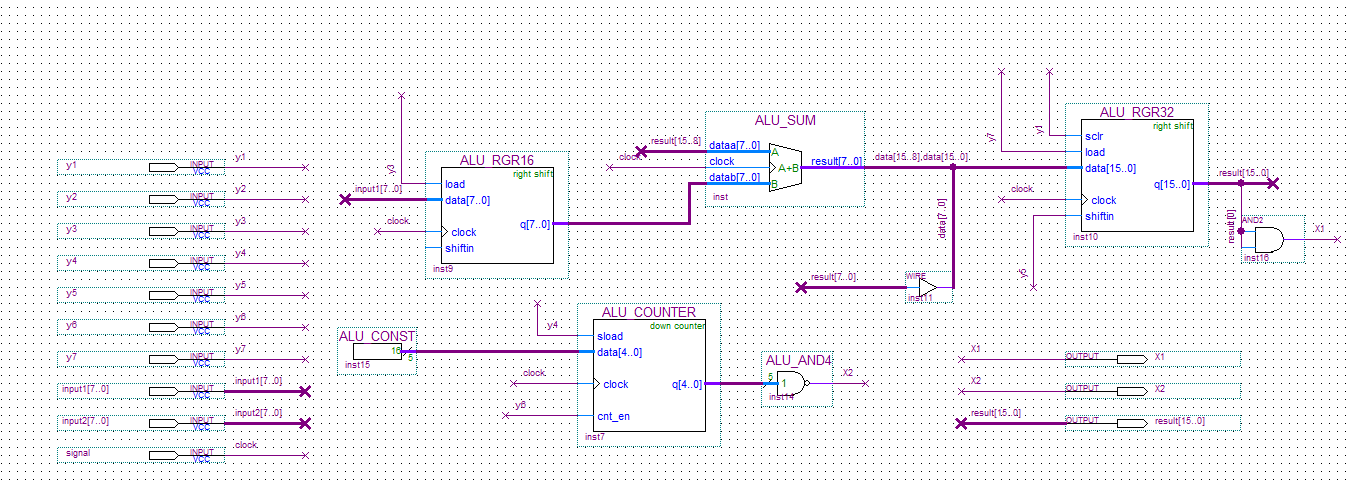


Рис. 5.7. Схема БМУ.

На рис. 5.8. представлено схему АЛП розроблюваного вузла.



На третьому етапі виконується розмітка контактів вводу/виводу за допомогою утиліти Pin Planer. Результати розміщення на мікросхемі зображені на рис. 5.9.

Часові діаграми роботи схеми

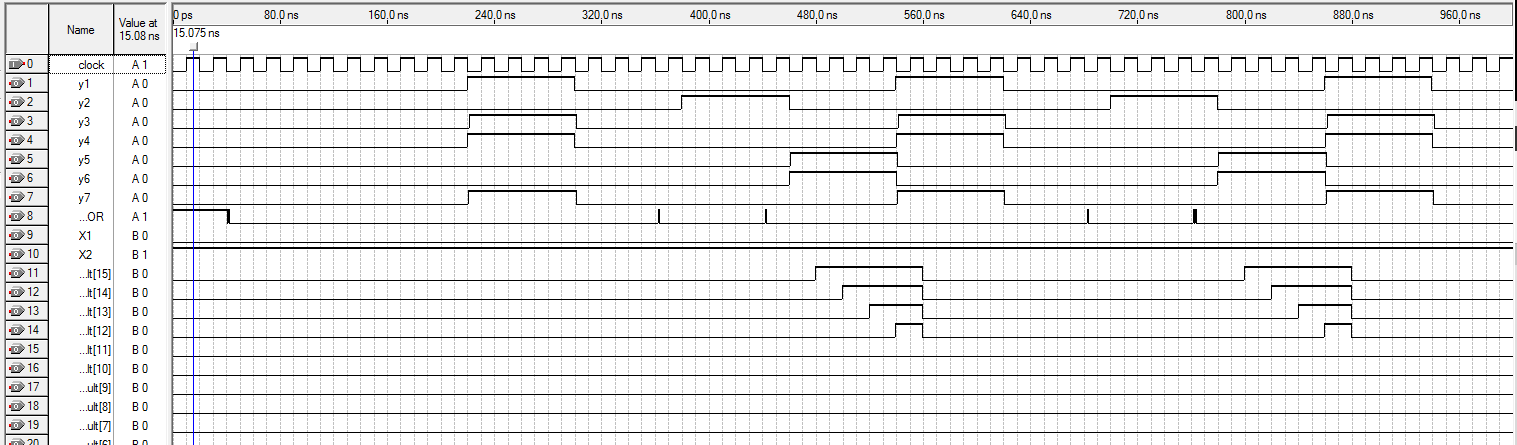


Рис. 5.11. Часова діаграма результатів моделювання